

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuhiro HAYASHI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CONTROLLER FOR AN OPTICAL DISK DRIVE, SEMICONDUCTOR INTEGRATED CIRCUIT
AND OPTICAL DISK DRIVE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

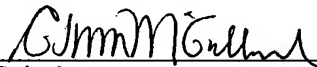
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-256144	August 30, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月30日

出 願 番 号

Application Number:

特願2002-256144

[ST.10/C]:

[JP 2002-256144]

出 願 人

Applicant(s):

株式会社東芝

2003年 2月14日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎

出証番号 出証特2003-3007459

【書類名】 特許願

【整理番号】 ASB026048

【提出日】 平成14年 8月30日

【あて先】 特許庁長官殿

【国際特許分類】 G11B 20/10
G11B 20/14

【発明の名称】 記録制御回路、光ディスク装置及び半導体集積回路

【請求項の数】 10

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 林 泰弘

【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝
マイクロエレクトロニクスセンター内
【氏名】 宮野 祐一

【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝

【代理人】
【識別番号】 100083806
【弁理士】
【氏名又は名称】 三好 秀和
【電話番号】 03-3504-3075

【選任した代理人】
【識別番号】 100068342
【弁理士】
【氏名又は名称】 三好 保男

【選任した代理人】

【識別番号】 100100712

【弁理士】

【氏名又は名称】 岩▲崎▼ 幸邦

【選任した代理人】

【識別番号】 100100929

【弁理士】

【氏名又は名称】 川又 澄雄

【選任した代理人】

【識別番号】 100108707

【弁理士】

【氏名又は名称】 中村 友之

【選任した代理人】

【識別番号】 100095500

【弁理士】

【氏名又は名称】 伊藤 正和

【選任した代理人】

【識別番号】 100101247

【弁理士】

【氏名又は名称】 高橋 俊一

【選任した代理人】

【識別番号】 100098327

【弁理士】

【氏名又は名称】 高松 俊雄

【手数料の表示】

【予納台帳番号】 001982

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書

【発明の名称】 記録制御回路、光ディスク装置及び半導体集積回路

【特許請求の範囲】

【請求項 1】 記録クロックに基づいて記録データを変調し、光ディスク上に記録するデータのアドレス情報を出力する変調回路と、

前記光ディスクから検出されるプリピット信号からプリピットクロックを生成するプリピットデコーダと、

前記アドレス情報及び前記プリピットクロックに基づき、位相特性により、規格通りの記録が行われているか否かを判定し、前記記録クロックを制御する判定回路

とを備えることを特徴とする記録制御回路。

【請求項 2】 前記光ディスクから検出されるウォブル信号からウォブルクロックを生成するウォブル PLL 回路と、

前記記録クロックを生成する記録クロック生成回路

とを更に備えることを特徴とする請求項 1 に記載の記録制御回路。

【請求項 3】 前記変調回路は、セクター間隔のパルスであるセクターパルスを更に出力し、

前記判定回路は、前記アドレス情報、前記プリピットクロック及び前記セクターパルスに基づいて、規格通りの記録が行われているか否かを判定することを特徴とする請求項 1 に記載の記録制御回路。

【請求項 4】 前記変調回路は、

前記ウォブルクロックを入力するウォブルカウント回路と、

該ウォブルカウント回路が出力するセクター同期信号を入力するタイミング制御回路と、

該タイミング制御回路がイネーブル端子に接続され、前記記録クロックをカウントするエンコードアドレスカウンタ回路

とを備えることを特徴とする請求項 2 又は 3 に記載の記録制御回路。

【請求項 5】 前記判定回路は、

前記プリピットデコーダをクロック入力端子に接続し、前記エンコードアドレ

スカウンタ回路を入力側に接続したアドレスレジスタと、
該アドレスレジスタの出力側に入力側を接続したデコーダと、
該デコーダの出力側に入力側を接続したウィンドウ回路と、
前記タイミング制御回路をイネーブル端子に接続し、前記ウィンドウ回路の出力側に入力側を接続した分周補正值レジスタ
とを備えることを特徴とする請求項 4 に記載の記録制御回路。

【請求項 6】 前記判定回路は、
前記ウォブルカウント回路をクロック入力端子に接続し、前記エンコードアドレスカウンタ回路を入力側に接続したアドレスレジスタと、
該アドレスレジスタの出力側に入力側を接続したデコーダと、
該デコーダの出力側に入力側を接続したウィンドウ回路と、
前記タイミング制御回路をイネーブル端子に接続し、前記ウィンドウ回路の出力側に入力側を接続した分周補正值レジスタ
とを備えることを特徴とする請求項 4 に記載の記録制御回路。

【請求項 7】 前記判定回路は、
前記エンコードアドレスカウンタ回路をそれぞれの入力側に接続し、前記プリピットデコーダ及び前記ウォブルカウント回路をそれぞれのクロック入力端子に接続した第 1 及び第 2 のアドレスレジスタと、
前記第 1 及び第 2 のアドレスレジスタの出力側をそれぞれの入力側に接続した第 1 及び第 2 のデコーダと、
前記第 1 及び第 2 のデコーダの出力側をそれぞれの入力側に接続した第 1 及び第 2 のウィンドウ回路と、
前記第 1 及び第 2 のウィンドウ回路の出力を入力するウィンドウ判定回路と、
前記タイミング制御回路をイネーブル端子に接続し、前記ウィンドウ判定回路の出力側に入力側を接続した分周補正值レジスタ
とを備えることを特徴とする請求項 4 に記載の記録制御回路。

【請求項 8】 前記記録クロック生成回路は、
分周信号を出力する分周設定レジスタと、
該分周設定レジスタが一方の入力に接続され、前記分周補正值レジスタが他方

の入力に接続された加算器と、

該加算器に接続され、前記記録クロックを出力する PLL 回路

とを備えることを特徴とする請求項 5～7 のいずれか 1 項に記載の記録制御回路。

【請求項 9】 半導体チップと、

該半導体チップ上に集積化され、記録クロックに基づいて記録データを変調し、光ディスク上に記録するデータのアドレス情報を出力する変調回路と、

前記半導体チップ上に集積化され、プリピット信号からプリピットクロックを生成するプリピットデコーダと、

前記半導体チップ上に集積化され、前記アドレス情報及び前記プリピットクロックに基づき、規格通りの記録が行われているか否かを判定し、前記記録クロックを制御する判定回路

とを備えることを特徴とする半導体集積回路。

【請求項 10】 光ディスクと、

該光ディスクにレーザ光を照射して反射光を読み取るピックアップと、

該ピックアップに対して再生又は記録に必要な信号処理を行う信号処理回路と

、
前記ピックアップから得られるプリピット信号及びウォブル信号に基づき、位相特性により、規格通りの記録が行われているか否かを判定し、前記信号処理回路が出力する記録信号を制御する記録制御回路と、

前記ピックアップから得られるエラー信号に基づいて前記ピックアップの動作を制御するサーボ制御回路

とを備えることを特徴とする光ディスク装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は光ディスク装置に関し、特に、記録時に使用される記録制御回路、この記録制御回路を同一半導体基板上に集積化した半導体集積回路に関する。

【0002】

【従来の技術】

記録可能なCDとしてCD-R/RWがある。また、CD-R/RWと比して大容量記録可能な光ディスクとしてDVD-R/RW及びDVD+R/RWがある。CD-R/RW、DVD-R/RW及びDVD+R/RWには、図14（b）に示すように、図13に示すピックアップ12をガイドする為のグループ102と呼ばれる案内溝がプリフォーマットされている。グループ102は、図14（a）に示すように、ウォブルといって半径方向に僅かに蛇行している。図14（a）及び（b）に示すようなトラック構造をウォブルランドグループという。特に、DVD-R/RWには、図14（b）に示すランド101において、図14（c）に示すように、プリピット104というピットが刻まれている。

【0003】

従来のDVD-R/RWドライブは、図13に示すような構成となっている。マトリクスアンプ15は、図15（a）及び（b）に示すようなウォブル信号及びプリピット信号を出力する。プリピット信号は、図13に示すプリピットデコーダ27に入力される。マトリクスアンプ15が出力するRF信号は、再生時においては、復調回路18、エラー訂正回路19及び訂正RAM20、データバッファ回路21及びデータバッファRAM22を介してホストコンピュータ75に出力される。一方、記録時においては、ホストコンピュータ75からの記録データが、データバッファ回路21及びデータバッファRAM22、パリティ生成回路23を介して変調回路24に入力される。変調回路24は、パリティが付加された記録データに変調を施して変調信号を生成し、変調信号をレーザ駆動回路25に出力する。レーザ駆動回路25は記録レーザを駆動して光ディスク11に記録データを書き込む。エラー訂正回路19、データバッファ回路21及びパリティ生成回路23は、信号処理クロックPLL32が出力するクロックと同期して動作する。変調回路24は、記録クロック生成回路30が生成する記録クロックと同期して動作する。記録クロックは、ウォブルPLL回路26が出力するウォブルクロックに基づいて、記録クロック生成回路30により生成される。マトリクスアンプ15が出力するサーボ系のエラー信号は、サーボ制御回路16、ドライブ回路17を介して送りモータ14、ピックアップ12内部のトラッキングア

クチュエータ及びフォーカスアクチュエータを駆動する。

【0004】

記録時においては、図16に示すように、光ディスク11上の記録済みデータに新たな記録データを書き込む必要が生じる。記録済みデータの終点と新たに記録するデータの始点とは、±1バイト以内の精度で一致することが規格上定められている。また図15(b)に示すように、記録シンクの信号区間はローレベルが14T、ハイレベルが4T、または、ハイレベルが14T、ローレベルが4Tで識別される。光ディスク11のプリピットと記録シンクの14Tの期間の中心とを一致させることが規格上定められている。このような追加書き込みを行う場合、ウォブル信号より得られるウォブルクロックに基づいて新たな記録データを記録する方法（以下において「第1の従来技術」という。）がある。また、記録済みのデータから得られるRF信号を基準に新たな記録データを記録する方法（以下において「第2の従来技術」という。）がある。

【0005】

【発明が解決しようとする課題】

DVDドライブにおいては、図14(c)に示すように、ビームスポットの大きさに対してトラックピッチが狭く、トラック間クロストークが多い。その為、マトリクスアンプ15から出力されたウォブル信号が、隣接トラックのウォブルによってAM変調やFM変調を受ける。ウォブル信号がAM変調やFM変調を受けると、この影響が記録クロックにも現れる。プリピット信号の位相は、図15(b)に示すように、ウォブル信号のように変調を受けない。このウォブル変調によるウォブル信号のぶれはチャンネルビットに換算すると±16～20チャンネルビット分に相当する。よって、第1の従来技術においては、ウォブルを基準に生成された記録クロックで変調される記録データの記録シンクとプリピットの位相とを一定に保つことが難しいという問題があった。更に、光ディスク11上に既に記録されているデータに規格とのずれが生じている場合、ずれたデータを無視して規格に定められたプリピットやウォブルに従って次のデータを記録すると、以前記録されたデータなどを壊してしまう可能性が高いという問題があった。

【0006】

第2の従来技術においては、光ディスク11上の記録済みデータに規格とのずれが生じている場合、新たに記録したデータはプリピットやウォブルからずれたまま記録されてしまうという問題があった。よって、第2の従来技術においても、記録スタート位置が本来のリンク位置から大きくずれている場合、規格通りに記録を行うことは困難であった。

【0007】

上記問題点を鑑み、本発明は、記録スタート位置が本来のリンク位置から大きくずれていても本来の規格で定められたデータ位置に記録可能な記録制御回路、光ディスク装置及び半導体集積回路を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記目的を達成する為に、本発明の第1の特徴は、（イ）記録クロックに基づいて記録データを変調し、光ディスク上に記録するデータのアドレス情報を出力する変調回路；（ロ）光ディスクから検出されるプリピット信号からプリピットクロックを生成するプリピットデコーダ；（ハ）アドレス情報及びプリピットクロックに基づき、規格通りの記録が行われているか否か位相特性を生成して判定し、記録クロックを制御する判定回路を備える記録制御回路であることを要旨とする。

【0009】

第1の特徴に係る記録制御回路によれば、記録済みデータを基準に新たなデータを記録した場合においても、記録動作の過程でプリピット信号やウォブル信号に基づいて規格通りに記録データを記録することが出来る。即ち、記録するべきデータと同期をとりながら変調信号を出力することが可能となる。この結果、光ディスク上に記録されたデータに新たにデータを記録する場合、精度良く新たなデータを書きつなぐことが出来る。

【0010】

本発明の第2の特徴は、（イ）半導体チップ；（ロ）半導体チップ上に集積化され、記録クロックに基づいて記録データを変調し、光ディスク上に記録するデータのアドレス情報を出力する変調回路；（ハ）半導体チップ上に集積化され、

プリビット信号からプリビットクロックを生成するプリビットデコーダ；（ホ）半導体チップ上に集積化され、アドレス情報及びプリビットクロックに基づき、規格通りの記録が行われているか否か判定し、記録クロックを制御する判定回路を備える半導体集積回路であることを要旨とする。

【 0 0 1 1 】

第 2 の特徴に係る半導体集積回路によれば、光ディスク装置の小型化・軽量化を実現することが出来る。

【 0 0 1 2 】

本発明の第 3 の特徴は、（イ）光ディスク；（ロ）光ディスクにレーザ光を照射して反射光を読み取るピックアップ；（ハ）ピックアップに対して再生又は記録に必要な信号処理を行う信号処理回路；（ニ）ピックアップから得られるプリビット信号及びウォブル信号に基づき、位相特性により規格通りの記録が行われているか否か判定し、信号処理回路が出力する記録信号を制御する記録制御回路；（ホ）ピックアップから得られるエラー信号に基づいてピックアップの動作を制御するサーボ制御回路を備える光ディスク装置であることを要旨とする。

【 0 0 1 3 】

第 3 の特徴に係る光ディスク装置によれば、既に記録されたデータが規格からずれていても、記録動作を行いながら規格通りの記録を行うことが出来る。

【 0 0 1 4 】

【発明の実施の形態】

以下、図面を参照して本発明の第 1 及び第 2 の実施の形態を説明する。以下の図面の記載において、同一又は類似の部分には同一又は類似の記号を付している。

【 0 0 1 5 】

（第 1 の実施の形態）

本発明の第 1 の実施の形態に係る光ディスク装置は、図 1 に示すように、光ディスク 1 1、光ディスク 1 1 にレーザ光を照射して反射光を読み取るピックアップ 1 2、ピックアップ 1 2 に対して再生又は記録に必要な信号処理を行う信号処理回路 8 3 a、ピックアップ 1 2 から得られるプリビット信号及びウォブル信号

に基づいて記録信号に変調を施す記録制御回路 7 1 a、ピックアップ 1 2 から得られるエラー信号に基づいてピックアップ 1 2 の動作を制御するサーボ制御回路 1 6 を備える。更に、図 1 に示すように、光ディスク 1 1 を駆動するディスクモータ 7 1、記録信号に基づいてピックアップ 1 2 のレーザを駆動するレーザ駆動回路 2 5、ディスクモータ 7 1 の回転を制御するディスクモータ制御回路 2 9 を備える。尚、ピックアップ 1 2 の内部の光ディテクタは、A、B、C 及び D 面に 4 分割されている。

【 0 0 1 6 】

記録制御回路 7 1 a は、図 1 に示すように、記録クロックに基づいて記録データを変調し、光ディスクに記録するデータのアドレス情報を出力する変調回路 2 4 a、光ディスク 1 1 から検出されるプリピット信号からプリピットクロックを生成するプリピットデコーダ 2 7 a、アドレス情報及びプリピットクロックに基づき、位相特性により、規格通りの記録が行われているか否かを判定し、記録クロックを制御する判定回路 3 3 a を備える。更に、記録制御回路 7 1 a は、ウォブル信号に基づいてウォブルクロックを生成するウォブル PLL 回路 2 6 a、ウォブルクロックに基づいて記録クロックを生成する記録クロック生成回路 3 0 a を備える。尚、プリピット信号及びウォブル信号は、光ディスク 1 1 からマトリクスアンプ 1 5 を介して出力される。

【 0 0 1 7 】

変調回路 2 4 a は、図 2 に示すように、ウォブルクロックを入力するウォブルカウント回路 5 7 a、ウォブルカウント回路 5 7 a が出力するセクター同期信号を入力するタイミング制御回路 5 8 a、タイミング制御回路 5 8 a をイネーブル端子 E N に接続し、記録クロック生成回路 3 0 a が出力する記録クロックをカウントするエンコードアドレスカウンタ回路 4 0 a を備える。また、タイミング制御回路 5 8 a には、図 1 に示す復調回路 1 8 が出力する再生同期信号が入力される。エンコードアドレスカウンタ回路 4 0 a が出力する変調制御信号は、変調回路 2 4 a の動作の基準クロックであるビットクロックを制御する。尚、記録データはロジカル I D というアドレス情報を有している。

【 0 0 1 8 】

プリピットデコーダ 2 7 a は、プリピット信号を波形整形してプリピットクロックを出力するプリピットスライス回路 4 1 を備える。また、プリピットデコーダ 2 7 a は、マトリクスアンプ 1 5 が出力するプリピット信号とウォブル PLL 回路 2 6 a が出力するウォブルクロックとから光ディスク 1 1 上のアドレス位置をデコードする。プリピットデコーダ 2 7 a が出力する光ディスク 1 1 上の物理アドレス情報は、変調回路 2 4 a に入力される。

【 0 0 1 9 】

判定回路 3 3 a は、図 2 に示すように、プリピットデコーダ 2 7 a がクロック入力端子 CK に接続され、変調回路 2 4 a が入力側に接続されたアドレスレジスタ 4 2 a、アドレスレジスタ 4 2 a の出力側が入力側に接続されたデコーダ 4 3 a、デコーダ 4 3 a の出力側に入力側を接続したウィンドウ回路 4 4 a、タイミング制御回路 5 8 a がイネーブル端子 EN に接続され、ウィンドウ回路 4 4 a の出力側に入力側を接続した分周補正值レジスタ 4 9 a を備える。デコーダ 4 3 a は、アドレスレジスタ 4 2 a が出力するラッチ信号から位相特性を生成する。ウィンドウ回路 4 4 a は、デコーダ 4 3 a が出力する位相特性とウィンドウ値とを特定のタイミングで比較する。ウィンドウ回路 4 4 a には、正のウィンドウ値 (WD 1 P) 及び負のウィンドウ値 (WD 1 M) が設定されている。そして、ウィンドウ回路 4 4 a は、位相特性が、正のウィンドウ値よりも大きい値か、負のウィンドウ値よりも小さい値か、負のウィンドウ値以上且つ正のウィンドウ値以下の値かの 3 パターンのいずれに該当するかを判断する。デコーダ 4 3 a が出力する位相特性が正のウィンドウ値よりも大きい値の場合、ウィンドウ回路 4 4 a は + 1 を出力する。一方、位相特性が負のウィンドウ値よりも小さい値の場合、ウィンドウ回路 4 4 a は - 1 を出力する。また、位相特性が負のウィンドウ値以上、正のウィンドウ値以下の場合、ウィンドウ回路 4 4 a は 0 を出力する。

【 0 0 2 0 】

記録クロック生成回路 3 0 a は、図 2 に示すように、分周信号を出力する分周設定レジスタ 5 0、分周設定レジスタ 5 0 を一方の入力に接続し、分周補正值レジスタ 4 9 a を他方の入力に接続した加算器 5 1、加算器 5 1 を接続した PLL 回路 6 2 を備える。分周設定レジスタ 5 0 には、図 1 に示すシステムコントロー

ラ 3 1 a が出力するコマンド設定信号が入力される。

【 0 0 2 1 】

P L L 回路 6 2 は、クロックを出力する電圧制御発振器（以下において「V C O」という）5 3 と、加算器 5 1 が出力する分周補正信号及び V C O 5 3 の出力クロックが入力されるプログラマブルカウンタ 5 2 と、プログラマブルカウンタ 5 2 が一方の入力に接続され、他方の入力に第 1 の分周器 5 5 を接続した位相比較器&チャージポンプ 5 4 と、V C O 5 3 と位相比較器&チャージポンプ 5 4 とを接続するループフィルタ 6 1 を備える。第 1 の分周器 5 5 は、ウォブルクロック又は水晶発振器 7 6 が出力するクロックを分周する。位相比較器&チャージポンプ 5 4 は、プログラマブルカウンタ 5 2 が出力するクロックと第 1 の分周器 5 5 が出力するクロックとの位相差に比例した電圧を出力する。V C O 5 3 が出力するクロックは、第 2 の分周器 5 6 で更に分周される。

【 0 0 2 2 】

システムコントローラ 3 1 a には、図 1 に示すように、信号処理回路 8 3 a 及びサーボ制御回路 1 6 から得られる光ディスク 1 1 の種類を判別するディスク判別信号が入力される。システムコントローラ 3 1 a は、ディスク判別信号に基づいて光ディスク 1 1 の種類を判別する。そして、光ディスク 1 1 の種類に応じてコマンド設定信号を出力し、記録クロック生成回路 3 0 a の基準出力周波数を決定する。また、システムコントローラ 3 1 a は、記録、再生等の動作モードに応じて、図 1 に示す各種回路を制御する。

【 0 0 2 3 】

また、復調回路 1 8 から出力された再生同期信号は、スイッチ回路 6 5 に入力される。ディスクモータ 7 1 からの F G (Frequency Generator) 信号がディスクモータ制御回路 2 9 に入力され、F G 信号が一定周期となるようにディスクモータ 7 1 が制御される。スイッチ回路 6 5 は、ウォブルクロック、F G 信号及び再生同期信号をシステムコントローラ 3 1 a からの動作モード信号に応じて切り換える。スイッチ回路 6 5 により選択されたウォブルクロック、F G 信号及び再生同期信号のいずれか 1 つの信号が、ディスクモータ制御回路 2 9 に入力される。ディスクモータ制御回路 2 9 は、スイッチ回路 6 5 が出力する信号と水晶発振

器 7 6 から出力されるクロックとを比較し、この比較結果に応じてディスクモータドライバ 2 8 を制御する。尚、ディスクモータ 7 1 の制御方式には C A V (Constant Angular Velocity; 角速度一定) 方式及び C L V (Constant Linear Velocity; 線速度一定) 方式がある。尚、D V D 等の光ディスク装置では、記録時には C L V 方式を、再生時は C A V 方式を採用している。

【 0 0 2 4 】

更に、図 3 に示すように、記録制御回路 7 1 a の変調回路 2 4 a、プリピットデコーダ 2 7 a、ウォブル P L L 回路 2 6 a、判定回路 3 3 a 及び記録クロック生成回路 3 0 a は、同一の半導体基板 9 5 a 上にモノリシックに集積化され、半導体集積回路 (チップ状態) 9 1 a を形成することが可能である。更に、サーボ制御回路 1 6、信号処理回路 8 3 a、ディスクモータ制御回路 2 9 及びボンディングパッド 8 1 a ~ 8 1 k が半導体基板 9 5 a 上に形成される。

【 0 0 2 5 】

ここで、ボンディングパッド 8 1 a は、マトリクスアンプ 1 5 からのサーボ系のエラー信号をサーボ制御回路 1 6 に入力するための内部端子である。ボンディングパッド 8 1 b はマトリクスアンプ 1 5 からの R F 信号を復調回路 1 8 に入力する内部端子である。同様に、ボンディングパッド 8 1 c は変調回路 2 4 a と、ボンディングパッド 8 1 d はプリピットデコーダ 2 7 a と、ボンディングパッド 8 1 e はウォブル P L L 回路 2 6 a と、ボンディングパッド 8 1 f はスイッチ回路 6 5 と、ボンディングパッド 8 1 g はディスクモータ制御回路 2 9 と、ボンディングパッド 8 1 h はサーボ制御回路 1 6 と、ボンディングパッド 8 1 i はデータバッファ回路 2 1 と、ボンディングパッド 8 1 j は図 3 に示す各回路ブロックと、ボンディングパッド 8 1 k はディスクモータ制御回路 2 9 及び信号処理クロック P L L 回路 3 2 とそれぞれ電氣的に接続されている。

【 0 0 2 6 】

具体的には、複数のボンディングパッド 8 1 a ~ 8 1 k は、例えば、半導体基板 (半導体チップ) 9 5 a 上に形成された $1 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{21} \text{ cm}^{-3}$ 程度のドナー若しくはアクセプタがドーピングされた複数の高不純物密度領域 (ソース領域 / ドレイン領域、若しくはエミッタ領域 / コレクタ領域等) 等に

それぞれ、接続されている。そして、この複数の高不純物密度領域にオーミック接触するように、アルミニウム (Al)、若しくはアルミニウム合金 (Al-Si, Al-Cu-Si) 等の金属から成る複数の電極層が形成されている。そしてこの複数の電極層の上部には、酸化膜 (SiO_2)、PSG膜、BPSG膜、窒化膜 (Si_3N_4)、或いはポリイミド膜等から成るパッシベーション膜が形成されている。そして、パッシベーション膜の一部に複数の電極層を露出するように複数の開口部 (窓部) を設け、複数のボンディングパッド 81a~81k を構成している。或いは、複数の電極層と金属配線で接続された他の金属パターンとして、複数のボンディングパッド 81a~81k を形成してもかまわない。又、MOSFET等であれば、ポリシリコンゲート電極にアルミニウム (Al)、若しくはアルミニウム合金 (Al-Si, Al-Cu-Si) 等の金属からなる複数のボンディングパッド 81a~81k を形成することが可能である。或いは、複数のポリシリコンゲート電極に接続されたゲート配線等の複数の信号線を介して、他の複数のボンディングパッドを設けても良い。ポリシリコンから成るゲート電極の代わりに、タングステン (W)、チタン (Ti)、モリブデン (Mo) 等の高融点金属、これらのシリサイド (WSi_2 , TiSi_2 , MoSi_2) 等、或いはこれらのシリサイドを用いたポリサイド等から成るゲート電極でもかまわない。

【 0 0 2 7 】

図 3 に示す半導体集積回路 91a は、図 4 に示すように、モールド樹脂 98 により被覆され、パッケージ状態の半導体集積回路 92 となる。そして、エラー信号端子 82a はボンディングパッド 81a と、RF 端子 82b はボンディングパッド 81b と、変調信号端子 82c はボンディングパッド 81c と、プリピット信号端子 82d はボンディングパッド 81d と、ウォブル信号端子 82e はボンディングパッド 81e と、FG 信号端子 82f はボンディングパッド 81f と、ディスクモータ端子 82g はボンディングパッド 81g と、データ信号入出力端子 82i はボンディングパッド 81i と、システムコントローラ端子 82j はボンディングパッド 81j と、水晶発振器端子 82k はボンディングパッド 81k とそれぞれボンディングワイヤにより接続されている。或いは、集積回路が配設

されたチップ状態の半導体集積回路 9 1 a の表面部を下側に向けたフェイスダウン（フリップチップ）方式で実装される。フリップチップ構造の場合は、これらのボンディングパッド 8 1 a ～ 8 1 k は、図 3 に示すようにチップ状態の半導体集積回路 9 1 a の周辺部に配置されている必要はない。

【 0 0 2 8 】

更に、図 4 に示すように、パッケージ状態の半導体集積回路 9 2 は、プリント基板 9 6 上に実装される。エラー信号端子 8 2 a、RF 端子 8 2 b、変調信号端子 8 2 c、プリピット信号端子 8 2 d 及びウォブル信号端子 8 2 e はマトリクスアンプ 1 5 と、FG 信号端子 8 2 f 及びディスクモータ端子 8 2 g はディスクモータドライバ 2 8 と、データ信号入出力端子 8 2 i はホストコンピュータ 7 5 と、システムコントローラ端子 8 2 j はシステムコントローラ 3 1 a と、水晶発振器端子 8 2 k は水晶発振器 7 6 とそれぞれ接続されている。

【 0 0 2 9 】

次に、図 1、図 2、図 5 及び図 6 を用いて本発明の第 1 の実施の形態に係る記録制御回路 7 1 a の動作を説明する。

【 0 0 3 0 】

（イ）図 1 に示すマトリクスアンプ 1 5 は、図 5（a）に示すように、ウォブルの蛇行に相似したウォブル信号を出力する。ピックアップ 1 2 内の光ディテクタの A、B、C 及び D 面から得られる信号をそれぞれ A、B、C 及び D とすると、ウォブル信号は、 $(A + B) - (C + D)$ なるマトリクス演算により生成される。プリピット信号は、図 5（a）及び（b）に示すように、フレームによって発生する数が異なっている。尚、プリピット信号は、DVD 規格のフレーム先頭のウォブルの 3 周期のピーク位置に最大で 3 個刻まれている。この周期は、DVD の場合は、データのチャネルビットで換算すると 1 8 6 チャネルビットの周期である。規格ではチャネルビットの記録再生周波数は、2 6 . 1 6 M H z と決められているため、このウォブル周波数は $2 6 . 1 6 M H z / 1 8 6 = 1 4 0 . 6 k H z$ となる。光ディスク 1 1 上のプリピット信号は、DVD データフォーマット上の ECC（誤り訂正符号化）ブロック単位で 1 つのコードを形成するように刻まれている。一組のプリピットデータは、3 つまたは 2 つのプリピット信号で

構成される。また、プリピット信号は2フレームに1組記録されている。

【0031】

(ロ) マトリクスアンプ15が出力するウォブル信号は、図1に示すウォブルPLL回路26aに入力される。ウォブルPLL回路26aは、ウォブル信号を2値化し、その後逓倍することによりウォブルクロックを生成する。ウォブルクロックは、図1に示す変調回路24a及び記録クロック生成回路30aに入力される。ウォブルクロックは、図2に示すように、復調回路24aの内部のウォブルカウント回路57aに入力される。ウォブルカウント回路57aは、ウォブルクロックをカウントしてセクター同期信号を生成する。セクター同期信号は、図2に示すタイミング制御回路58aに入力される。タイミング制御回路58aには、記録スタート信号びセクター同期信号も入力される。タイミング制御回路58aにおいては、ウォブル信号に同期して記録する場合は、セクター同期信号を基準に記録をスタートする。一方、記録済みの信号に同期して記録をスタートする場合は、再生同期信号を基準に記録をスタートする。記録動作が開始となると、図2に示すタイミング制御回路58bが出力するタイミング制御信号が、例えば立ち上がる。エンコードアドレスカウンタ回路40bはタイミング制御信号の立ち上がりと同期して動作を開始する。

【0032】

(ハ) エンコードアドレスカウンタ回路40aは、記録クロックをカウントすることにより、これから記録するデータのアドレス情報を生成する。また、エンコードアドレスカウンタ回路40aは、変調制御信号を出力する。変調制御信号は、変調回路24aが8-16変調を行う際の基準クロックとなるビットクロックを制御する信号である。エンコードアドレスカウンタ回路40aが出力するアドレス情報は、図2に示すアドレスレジスタ42に入力される。一方、マトリクスアンプ15が出力するプリピット信号は、図1に示すプリピットデコーダ27aに入力される。プリピット信号は、図2に示すプリピットデコーダ27aの内部のプリピットスライス回路41により波形整形され、プリピットクロックとなる。プリピットスライス回路41が出力するプリピットクロックは、図2に示すように、判定回路33a内のアドレスレジスタ42aに入力される。

【 0 0 3 3 】

(ニ) アドレスレジスタ 4 2 a は、エンコードアドレスカウンタ回路 4 0 a が出力するアドレス情報を、プリピットデコーダ 2 7 a が出力するプリピットクロックと同期してラッチする。この結果、図 5 (c) に示すように、記録するデータのアドレス値とプリピット信号の位置関係を求めることが出来る。アドレスレジスタ 4 2 a が出力するラッチ信号は、図 2 に示すデコーダ 4 3 a に入力される。デコーダ 4 3 a は、記録データが規格上同期するべきポイントを基準に位相特性が生成される。即ち、プリピット信号と記録データの記録シンクとの位置関係により、プリピットと記録シンクの 1 4 T の中心位置のアドレス値との誤差を求め、図 6 に示すように、これを位相差として出力する。デコーダ 4 3 a が出力する位相特性は、ウィンドウ回路 4 4 a に入力される。

【 0 0 3 4 】

(ホ) ここで、ウィンドウ回路 4 4 a の正のウィンドウ値が + 4、負のウィンドウ値が - 4 に設定されているとする。図 6 に示すように、位相特性は 1 ウォブル間の特性しか線形な領域がない。図 6 に示す位相特性は、図 5 (d) に示すように、システムコントローラ 3 1 a が出力する位相判定タイミングパルスと同期して位相判定処理が施される。ウィンドウ回路 4 4 a は、時刻 t 1 においては、位相特性は + 2 であり、負のウィンドウ値以上且つ正のウィンドウ値以下であるので、図 5 (e) に示すように 0 を出力する。時刻 t 2 においては、位相特性は + 3 であり、負のウィンドウ値以上且つ正のウィンドウ値以下であるので 0 を出力する。時刻 t 3 においては、位相特性は + 5 であり、正のウィンドウ値よりも大きいのでウィンドウ回路 4 4 a は + 1 を出力する。時刻 t 4 においては、位相特性は + 1 であり、負のウィンドウ値以上且つ正のウィンドウ値以下であるので、ウィンドウ回路 4 4 a は 0 を出力する。時刻 t 5 においては、位相特性は 0 であり、負のウィンドウ値以上且つ正のウィンドウ値以下であるので、ウィンドウ回路 4 4 a は 0 を出力する。時刻 t 6 においては、位相特性は - 4 であり、負のウィンドウ値以上且つ正のウィンドウ値以下であるので、ウィンドウ回路 4 4 a は 0 を出力する。時刻 t 7 においては、位相特性は - 8 であり、負のウィンドウよりも小さいので、ウィンドウ回路 4 4 a は - 1 を出力する。時刻 t 8 において

は、位相特性は -8 であり、負のウィンドウ値よりも小さいので、ウィンドウ回路 4 4 a は -1 を出力する。ウィンドウ回路 4 4 a が出力する分周補正信号は、分周補正值レジスタ 4 9 a に入力される

(ヘ) 分周補正值レジスタ 4 9 a は、ウィンドウ回路 4 4 a が出力する $+1$ 、 0 及び -1 をラッチして加算器 5 1 に出力する。加算器 5 1 は、分周補正值レジスタ 4 9 a が出力する分周補正信号と分周設定レジスタ 5 0 が出力する分周信号とを加算する。分周設定レジスタ 5 0 には、コマンド設定信号が入力され、図 2 に示す PLL 回路 6 2 のプログラマブルカウンタ 5 2 をシステムコントローラ 3 1 a が制御する際に用いられる。加算器 5 1 で加算された分周補正信号と分周信号は、PLL 回路 6 2 のプログラマブルカウンタ 5 2 に入力される。ウィンドウ回路 4 4 a の出力が -1 であれば、エンコードアドレスカウンタ回路 4 0 a が出力する変調制御信号に対して光ディスク 1 1 からの入力信号系が遅れている場合である。ウィンドウ回路 4 4 a の出力が $+1$ であれば、エンコードアドレスカウンタ回路 4 0 a が出力する変調制御信号に対して光ディスク 1 1 からの入力信号系が進んでいる場合である。

【 0 0 3 5 】

(ト) ウィンドウ回路 4 4 a が出力する分周補正信号が $+1$ の場合、分周補正值レジスタ 4 9 a は、プログラマブルカウンタ 5 2 の分周比を増加させる。ウィンドウ回路 4 4 a が出力する分周補正信号が -1 の場合、分周補正值レジスタ 4 9 a は、プログラマブルカウンタ 5 2 の分周比を減少させる。加算器 5 1 が出力する加算信号は、プログラムカウンタ 5 2 に入力される。プログラマブルカウンタ 5 2 は、記録クロックを生成する VCO 5 3 の発振周波数を制御する。プログラムカウンタ 5 2 が出力する分周信号は、位相比較器&チャージポンプ 5 4 に入力される。位相比較器&チャージポンプ 5 4 には、ウォブルクロックも入力され、ウォブルクロックに同期した記録クロックが生成される。位相比較器&チャージポンプ 5 4 の出力はループフィルタ 6 1 を介して VCO 5 3 に入力される。VCO 5 3 が出力するクロックは、第 2 の分周器 5 6 に入力され更に分周されてエンコードアドレスカウンタ回路 4 0 a に入力される。

【 0 0 3 6 】

このように、第 1 の実施の形態によれば、記録すべきデータと光ディスク 1 1 のプリピットとの位置関係を修正しながら記録動作を行っている。この結果、プリピットデコーダ 2 7 a が出力する光ディスク 1 1 上のアドレス情報と変調回路 2 4 a が出力する記録データのアドレスとを一致させることが可能となる。この修正動作は記録クロックを変調することにより実現される。この結果、記録スタート位置が本来のリンク位置からずれている場合でも、記録している間の本来の規格に従った記録状態とすることが出来る。よって、追加書き込みを、ウォブル信号に同期して開始した場合および記録済みの R F 信号に繋いで開始した場合のいずれの場合も、記録動作を行いながら光ディスク 1 1 上に規格通りの記録を行うことが出来る。

【 0 0 3 7 】

(第 2 の実施の形態)

本発明の第 2 の実施の形態に係る光ディスク装置は、図 7 に示すように、記録制御回路 7 1 b の変調回路 2 4 が、セクター単位のパルスであるセクターパルスを判定回路 3 3 b に更に出力し、判定回路 3 3 b が、変調回路 2 4 b が出力する記録するデータのアドレス情報、プリピットクロック及びセクターパルスにより、規格通りの記録が行われているか判定し、記録クロック制御する点が図 1 と異なる。記録制御回路 7 1 b においては、図 8 に示すように、変調回路 2 4 b のウォブルカウント回路 5 7 b がウォブルクロックをカウントしてセクターパルスを生成する。

【 0 0 3 8 】

判定回路 3 3 b は、図 8 に示すように、プリピットクロックをクロック入力端子 C K に入力し、エンコードアドレスカウンタ回路 4 0 b を入力側に接続した第 1 のアドレスレジスタ 4 2 b、セクターパルスをクロック入力端子 C K に入力し、エンコードアドレスカウンタ回路 4 0 b を入力側に接続した第 2 のアドレスレジスタ 4 5、第 1 のアドレスレジスタ 4 2 b 及び第 2 のアドレスレジスタ 4 5 の出力側をそれぞれの入力側に接続した第 1 のデコーダ 4 3 b 及び第 2 のデコーダ 4 6、第 1 のデコーダ 4 3 b 及び第 2 のデコーダ 4 6 の出力側をそれぞれの入力側に接続した第 1 のウィンドウ回路 4 4 b 及び第 2 のウィンドウ回路 4 7、第 1

のウィンドウ回路 4 4 b 及び第 2 のウィンドウ回路 4 7 の出力を入力するウィンドウ判定回路 4 8、タイミング制御回路 5 8 b にイネーブル端子 E N を接続し、ウィンドウ判定回路 4 8 の出力側に入力側を接続した分周補正值レジスタ 4 9 b を備える。第 1 のデコーダ 4 3 b 及び第 2 のデコーダ 4 6 は、第 1 のアドレスレジスタ 4 2 b 及び第 2 のアドレスレジスタ 4 5 が出力するそれぞれのラッチ信号から位相特性を生成する。第 1 のウィンドウ回路 4 4 b 及び第 2 のウィンドウ回路 4 7 は、第 1 のデコーダ 4 3 b 及び第 2 のデコーダ 4 6 が出力するそれぞれの位相特性とウィンドウ値とを特定のタイミングで比較して分周補正信号をそれぞれ出力する。ウィンドウ判定回路 4 8 は、第 2 のウィンドウ回路 4 7 が出力する分周補正信号を第 1 のウィンドウ回路 4 4 b が出力する分周補正信号よりも優先的に出力する。即ち、ウィンドウ判定回路 4 8 は、第 2 のウィンドウ回路 4 7 が出力する分周補正信号が 0 の場合にのみ第 1 のウィンドウ回路 4 4 b が出力する分周補正信号を出力する。

【 0 0 3 9 】

また、図 9 に示すように、変調回路 2 4 b、プリピットデコーダ 2 7 b、ウォブル P L L 回路 2 6 b、判定回路 3 3 b 及び記録クロック生成回路 3 0 b は、同一の半導体基板 9 5 b 上にモノリシックに集積化し、半導体集積回路（チップ状態） 9 1 b を形成することが可能である。更に、サーボ制御回路 1 6、信号処理回路 8 3 b、ディスクモータ制御回路 2 9 及びボンディングパッド 8 3 a ~ 8 3 k が半導体基板 9 5 b 上に形成されている。ボンディングパッド 8 3 a、8 3 h はサーボ制御回路 1 6 と、ボンディングパッド 8 3 b は復調回路 1 8 と、ボンディングパッド 8 3 c は変調回路 2 4 b と、ボンディングパッド 8 3 d はプリピットデコーダ 2 7 b と、ボンディングパッド 8 3 e はウォブル P L L 回路 2 6 b と、ボンディングパッド 8 3 f はスイッチ回路 6 5 と、ボンディングパッド 8 3 g はディスクモータ制御回路 2 9 と、ボンディングパッド 8 1 i はデータバッファ回路 2 1 と、ボンディングパッド 8 3 j は図 9 に示す各回路ブロックと、ボンディングパッド 8 3 k はディスクモータ制御回路 2 9 及び信号処理クロック P L L 回路 3 2 とそれぞれ電氣的に接続されている。図 9 に示す半導体集積回路 9 1 b は、図 4 と同様に、プリント基板 9 6 上に実装される。

bの正のウィンドウ値が+5、負のウィンドウ値が-5に設定されているとする。時刻t1～t4の期間においては、図10(e)に示すように、第2のデコーダ46が出力する位相特性は+1である。第2のウィンドウ回路47の負のウィンドウ値以上且つ正のウィンドウ値以下であるので、第2のウィンドウ回路47は0を出力する。図8に示すウィンドウ判定回路48は、第2のウィンドウ回路47が出力する分周補正信号が0であるので、第1のウィンドウ回路44bが出力する分周補正信号のみを出力する。この結果、時刻t3において、ウィンドウ判定回路48は、+1を出力している。

【0044】

(へ) 時刻t5～t8の期間においては、図10(e)に示す第2のデコーダ46が出力する位相特性は-9であり、第2のウィンドウ回路47の負のウィンドウ値よりも小さい。第2のウィンドウ回路47は、時刻t5～t8の期間においては、+1を出力する。ウィンドウ判定回路48は、時刻t5～t8の期間においては、第2のウィンドウ回路47が出力する分周補正信号が0でないので、第1のウィンドウ回路44bが出力する分周補正信号を無視する。この結果、時刻t5～t8の期間においては、図10(g)に示すように、ウィンドウ判定回路48は-1を出力している。ウィンドウ判定回路48が出力する-1、0、+1の値は、分周補正值レジスタ49bによりラッチされる。

【0045】

(ト) 記録クロック生成回路30bは、分周補正值レジスタ49bが出力する分周補正信号によりPLL回路62の出力クロックが制御される。記録クロック生成回路30bが出力する記録クロックは復調回路24bのエンコードアドレスカウンタ回路40bに入力される。

【0046】

このように、第2の実施の形態によれば、まず、記録するデータとプリピットとの位置関係を大まかに一致させている。その後、記録するデータとプリピットとの位置関係の微調整を行っている。したがって、大幅にリンク位置がずれている場合でも本来の規格で定められたデータ位置にデータを記録することが可能となる。

、 9 5 b 上に集積化しないで外付けの構成とすることも可能である。

【 0 0 5 0 】

第 1 及び第 2 の実施の形態において、ウィンドウ処理に用いられるウィンドウクロックをシステムコントローラ 3 1 a、 3 1 b が出力する場合を説明した。しかし、プリピットデコーダ 2 7 a、 2 7 b 内部に、プリピット信号を入力とするウィンドウクロック生成回路を別途備えてもよい。

【 0 0 5 1 】

このように、本発明はここでは記載していない様々な実施の形態を含むことは勿論である。したがって、本発明の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【 0 0 5 2 】

【発明の効果】

本発明によれば、記録スタート位置が本来のリンク位置から大きくずれていても本来の規格で定められたデータ位置に記録可能な記録制御回路、光ディスク装置及び半導体集積回路を提供できる。

【図面の簡単な説明】

【図 1】

第 1 の実施の形態に係る光ディスク装置の構成を示すブロック図である。

【図 2】

第 1 の実施の形態に係る記録制御回路の構成を示すブロック図である。

【図 3】

本発明の第 1 の実施の形態に係る光ディスク装置の一部を同一半導体基板上にモノリシックに集積化した構成のブロック図である。

【図 4】

第 1 の実施の形態に係る半導体集積回路の実装例を示す模式図である。

【図 5】

第 1 の実施の形態に係る記録制御回路の動作を示すタイムチャートである。

【図 6】

第 1 の実施の形態に係る判定回路の動作を示すタイムチャートである。